Introduction des Architectures Système

Compte Rendu TP – Titouan GAUTIER

Sommaire :

* Le circuit d’addition soustraction
* L’unité arithmétique et logique
* Le bilan

Le circuit d’addition et soustraction

Notre additionneur a pour but d’être un additionneur 16bit, pour le réaliser nous y avons été étapes par étapes. J’ai d’abord réalisé **un additionneur 1bit.** C’est la première brique de notre additionneur 16 bits. Il possède 3 entrés : A et B les deux opérandes et Cin la retenue entrante, et 3 sorties : S qui est le résultat de l’addition, P qui est vrai si les valeurs des entrées sont telles qu’une retenue sera propagée en sortie et G qui est vraie si les valeurs des entrées sont telles qu’une retenue sortante est nécessairement engendrée.

L’équation de calcul de S est : ~A ~B Cin + ~A B ~Cin + A ~B ~Cin + A B Cin

L’équation de P est : A + B

L’équation de G est : A . B

Après avoir réalisé notre additionneur 1 bit, nous devons créer **un additionneur 4bit**. Pour ce faire, nous devons assembler 4 additionneurs 1 bit et y ajouter une unité de calcul anticipé de la retenue.

**L’unité de calcul anticipé de la retenue** a pour but de gagner en performance. Pour la réaliser, il faut prendre la retenue entrante Cin et l’additionner à la sortie P et G de notre première additionneur dites P1 et G1, ce qui donne :

C1 = Cin

C2 = G1 + Cin . P1

C3 = G2 + C2 . P2

Ainsi de suite, Ce qui donne un circuit possèdant 9 entrées : 4 entrées P, 1 pour chaque additionneur 1 bit, et 4 entrées G, 1 pour chaque additionneur 1 bit. Il y a aussi l’entée Cin, la

retenue entrante. Il possède 5 sorties, 4 retenue calculée par nos additionneur 1 bit et la retenue sortante Cout.

Ce circuit fonctionne mais il a un problème, il n’est pas performant car il possède trop d’opération en série ce qui met plus de temps à s’exécuter que des opérations en parallèles. J’ai donc récupéré les équations de calcul du circuit sur Logisim :

C1 = Cin

C2 = G1 + Cin.P1

C3 = G2 + G1.P2 + Cin.P1.P2

C4 = G3 + G2.P3 + G1.P2.P3 + Cin.P1.P2.P3

Cout = G4 + G3.P4 + G2.P3.P4 + G1.P2.P3.P4 + Cin.P1.P2.P3.P4

A l’aide de ces équations de calculs j’ai pu réaliser **l’unité de calcul anticipé de la retenue plus performante**. Ce circuit possède les mêmes entrées et sorti que le précédent, il a juste deux sorti en plus dont je parlerais plus tard.

Maintenant qu’on a fait tout ça, il ne nous reste plus qu’à assembler 4 additionneurs 1 bit avec l’unité de calcul anticipé de la retenue. **L’additionneur 4 bit** possède une entrée A et B de largeur 4 bits, ce sont les opérandes et l’entrée Cin, la retenue entrante. Il possède une sortie S de largeur 4 bits qui est la somme de nos opérandes et la sortie Cout, retenue sortante.

INSERER EQUATIONS DE CALCUL

Il y a aussi deux sorti qui sont Super-P et Super-G. Super-P est un super-signal de propagation, qui indique si une retenue sortante est engendrée par l’additionneur 4 bits. Super-G est un super-signal de génération, qui indique si une retenue sortante est engendrée par l’additionneur de 4 bits. Les équations permettant de les calculer sont celle-ci :

Super-P :

Super-G :

Pour l’additionneur 16 bits nous allons reprendre la même démarche, assembler 4 additionneur 16 bits.

**L’additionneur 16 bits** se compose de deux entrées A et B de largeur 16 bits qui se propage dans 4 fils de largeur 4 bits. Chaque fils A et B rentre dans un additionneur et donne la sortie Super-P et Super-G qui rentre dans une unité de calcul anticipé de la retenue.Il y a aussi l’entrée Cin. Il possède une sortie S de 16 bits qui est le résultat de l’addition 16bits. Elle se compose de 4 fils de largeur 4 bits qui sont les sortie S de chaque additionneur. Il y a aussi la sortie Cout.

INS2RER EQUATION CALCUL

Maintenant, il ne nous reste plus qu’a adapter notre additionneur pour qu’il puisse faire des soustractions. En base 2, faire une soustraction reviens à additionner à son opposé. J’ai donc simplement mis un inverseur en sortie de l’additionneur et mis un multiplexeur.

Ce circuit comporte une entrée A de 16bits qui rentre directement dans un additionneur 16 bits, une entrée B de 16 bits qui inversée ou non qui rentre dans un multiplexeur. Le multiplexeur choisit l’entré B inversé ou non selon le bit de statut. Il y a aussi l’entrée Cin qui est la même que le bit de statut. Au niveau de sortie il y a la sortie S de 16 bits qui est le résultat, et les sorties Super-P, Super-G et Cout, la sortie sortante.

L’unité Arithmétique et Logique

Une unité arithmétique logique est un ensemble de circuits électroniques connectés logiquement de façon à réaliser, sous l'action de commandes élémentaires, les opérations arithmétiques ou logiques pour lesquelles cet ensemble a été conçu. Notre circuit d’addition et soustraction était la première étapes de notre UAL, nous allons maintenant rajouter certaines opérations arithmétiques comme : l’inverseur logique, le ET logiques, le OU et le OU exclusif logiques, ainsi que le décalage à gauche de A de 1 bit et le décalage à droite